

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月30日

出 願 番 号
Application Number:

特願2003-021458

[ST.10/C]:

[JP2003-021458]

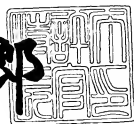
出 願 人
Applicant(s):

株式会社日立製作所

2003年 6月16日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3046702

【書類名】 特許願

【整理番号】 NT02P1031

【提出日】 平成15年 1月30日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 20/00

【発明者】

【住所又は居所】 神奈川県小田原市国府津 2 8 8 0 番地 株式会社日立製
作所 ストレージ事業部内

【氏名】 土永 浩之

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100068504

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100086656

【弁理士】

【氏名又は名称】 田中 恭助

【電話番号】 03-3661-0071

【選任した代理人】

【識別番号】 100094352

【弁理士】

【氏名又は名称】 佐々木 孝

【電話番号】 03-3661-0071

【手数料の表示】

【予納台帳番号】 081423

【納付金額】	21,000円
【提出物件の目録】	
【物件名】	明細書 1
【物件名】	図面 1
【物件名】	要約書 1
【ブルーの要否】	要

【書類名】 明細書

【発明の名称】 誤り訂正方法、誤り訂正回路および情報記録再生装置

【特許請求の範囲】

【請求項 1】

巡回符号を用いて受信データの 1 箇所以上で発生した誤り事象を訂正する誤り訂正方法であって、該受信データを生成多項式により除算した剰余データと、該受信データに仮想的に発生させた誤り事象を含むデータを生成多項式により除算した剰余データとを排他的加算することにより前記仮想的に発生させた誤り事象による仮訂正後の剰余データを求め、該仮訂正後の剰余データに基づいて前記受信データに発生した 2 箇所目の誤り事象が検出できたとき、該当する仮訂正の誤り事象と 2 箇所目の誤り事象を訂正することを特徴とする誤り訂正方法。

【請求項 2】

受信データを生成多項式により除算した剰余データから 1 事象誤りが発生していることを検出したとき、前記剰余データに対し巡回置換を行うことにより訂正対象誤り事象であるかをチェックし、訂正対象である場合、前記巡回置換の回数とその誤り事象に基づいて前記受信データの 1 事象誤りを訂正し、1 事象誤りとして訂正できない場合には前記受信データを生成多項式により除算した剰余データと該受信データに仮想的に発生させた誤り事象を含むデータを生成多項式により除算した剰余データとを排他的加算することにより前記仮想的に発生させた誤り事象による仮訂正後の剰余データを求め、該仮訂正後の剰余データに基づいて前記受信データに発生した 2 箇所目の誤り事象が検出できたとき、該当する仮訂正の誤り事象と 2 箇所目の誤り事象を訂正することを特徴とする誤り訂正方法。

【請求項 3】

前記受信データの復調過程で得られる信頼度情報を用いて前記仮訂正する範囲を指定することを特徴とする請求項 1 または請求項 2 に記載の誤り訂正方法。

【請求項 4】

復調した再生データの 1 事象誤りを訂正する 1 事象誤り訂正回路と、該 1 事象誤り訂正回路の出力を入力し当該 1 事象誤り訂正回路で訂正できない 2 事象誤りを訂正する 2 事象誤り訂正回路とを具備することを特徴とする誤り訂正回路。

【請求項 5】

受信データを生成多項式により除算しその剰余データを巡回置換する第 1 の線形帰還シフトレジスタと、前記受信データに仮想的に発生させた誤り事象を含むデータを生成多項式により除算した剰余データを巡回置換したデータを入力して巡回置換を行う第 2 の線形帰還シフトレジスタと、該第 2 の線形帰還シフトレジスタの出力データを入力し順次移動する多段レジスタと、前記第 1 の線形帰還シフトレジスタから出力される剰余データと前記多段レジスタの出力をそれぞれ排他的加算し前記受信データを仮想的に仮訂正する複数の排他的加算回路と、該複数の排他的加算回路の出力をそれぞれ入力し巡回置換を行う第 3 の複数の線形帰還シフトレジスタと、前記第 1 の線形帰還シフトレジスタの巡回置換した剰余データを入力し 1 事象誤りとして訂正可能であるかチェックし、訂正可能であれば検出に要した巡回置換の回数とその誤り事象に基づいて第 1 の誤り訂正信号を出力し、前記第 3 の複数の線形帰還シフトレジスタの巡回置換した剰余データを入力し訂正対象の誤り事象であるかチェックし、訂正対象の誤り事象を検出したとき、検出に要した巡回置換の回数と仮訂正した誤りの事象に基づいて第 2 の誤り訂正信号を出力する誤り検出回路と、前記受信データを入力し前記誤り検出回路から前記第 1 及び第 2 の誤り訂正信号を受信したときに該受信データを訂正する誤り訂正回路とを具備することを特徴とする誤り訂正回路。

【請求項 6】

前記受信データの復調過程で得られる信頼度情報を用いて前記第 2 の線形帰還シフトレジスタと前記多段レジスタにより仮訂正する範囲を指定することを特徴とする請求項 5 記載の誤り訂正回路。

【請求項 7】

記録媒体と、該記録媒体にデータを記録・再生するヘッドと、該ヘッドに供給する記録データを変調し、当該ヘッドから出力される再生信号を復調するリード・ライトチャネルと、前記記録媒体へ記録するデータに巡回符号を付加した記録データを前記リード・ライトチャネルに出力し、該リード・ライトチャネルで復調した再生データの 1 事象誤りを訂正する 1 事象誤り訂正回路と、該 1 事象誤り訂正回路の出力を入力し当該 1 事象誤り訂正回路で訂正できない 2 事象誤りを訂

正する2事象誤り訂正回路と、該2事象誤り訂正回路の出力を入力し再生データとして上位装置に転送する制御回路と、前記各部位を制御するプロセッサとを具備することを特徴とする情報記録再生装置。

【請求項8】

記録媒体と、該記録媒体にデータを記録・再生するヘッドと、該ヘッドに供給する記録データを変調し、当該ヘッドから出力される再生信号を復調するリード・ライトチャネルと、前記記録媒体へ記録するデータに巡回符号を付加した記録データを前記リード・ライトチャネルに出力し、該リード・ライトチャネルで復調した再生データを受信し生成多項式により除算しその剰余データを巡回置換する第1の線形帰還シフトレジスタと、前記再生データに仮想的に発生させた誤り事象を含むデータを生成多項式により除算した剰余データを巡回置換したデータを入力して巡回置換を行う第2の線形帰還シフトレジスタと、該第2の線形帰還シフトレジスタの出力データを入力し順次移動する多段レジスタと、前記第1の線形帰還シフトレジスタから出力される剰余データと前記多段レジスタの出力をそれぞれ排他的加算し前記受信データを仮想的に仮訂正する複数の排他的加算回路と、該複数の排他的加算回路の出力をそれぞれ入力し巡回置換を行う第3の複数の線形帰還シフトレジスタと、前記第1の線形帰還シフトレジスタの巡回置換した剰余データを入力し1事象誤りとして訂正可能であるかチェックし、訂正可能であれば検出に要した巡回置換の回数とその誤り事象に基づいて第1の誤り訂正信号を出力し、前記第3の複数の線形帰還シフトレジスタの巡回置換した剰余データを入力し訂正対象の誤り事象であるかチェックし、訂正対象の誤り事象を検出したとき、検出に要した巡回置換の回数と仮訂正した誤りの事象に基づいて第2の誤り訂正信号を出力する誤り検出回路と、前記再生データを入力し前記誤り検出回路から前記第1及び第2の誤り訂正信号を受信したときに該再生データを訂正する誤り訂正回路と、該誤り訂正回路の出力を入力し再生データとして上位装置に転送する制御回路と、前記各部位を制御するプロセッサとを具備することを特徴とする情報記録再生装置。

【請求項9】

前記再生データの復調過程で得られる信頼度情報を用いて前記第2の線形帰還

シフトレジスタと前記多段レジスタにより仮訂正する範囲を指定することを特徴とする請求項 8 記載の誤り訂正回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は巡回符号を用いた誤り訂正技術に係り、特に再生データに発生した 2 事象誤りを訂正する誤り訂正方法および回路、並びに誤り訂正回路を搭載した情報記録再生装置に関する。

【0002】

【従来の技術】

再生データに発生した誤りを検出するために、巡回符号が広く用いられている。巡回符号における符号化の手順を図 2 に示す。記録データ列 2 1 を割算回路 2 2 に入力し、生成多項式（図示せず）によって除算する。その結果得られた余りがデータ列 2 3 として割算回路 2 2 から出力される。データ列 2 3 の事を CRC (Cyclic Redundancy Check) データと呼ぶ。CRC データ 2 3 は記録データ 2 1 の後ろに付加されて、符号化された記録データ列 2 4 となる。符号化された記録データ列 2 4 は明らかに生成多項式により割り切れるので、符号化された記録データ列 2 4 を記録・再生した後、割算回路 2 2 で除算した時の CRC データをチェックすることにより、再生データに誤りが発生したか否かが検出できる。

【0003】

巡回符号を用いて誤り訂正を行う従来技術として特許文献 1 に記載の技術がある。この技術を磁気ディスク装置の信号処理に適用した例について図 7 を用いて説明する。磁気ディスク装置 1 (HDD) は、磁気ディスク 2 と、磁気ディスク 2 を装着し回転するスピンドルモータ 6 と、磁気ヘッド 3 と、磁気ヘッド 3 を支持し磁気ディスク 2 の任意の半径位置に位置決めするキャリッジ 4 と、キャリッジ 4 に取り付けられた R/W-IC 5 等からなるヘッド・ディスクアッセンブリ 7 (HDA) と、リード・ライトチャネル 8 と、1 事象 CRCC 訂正回路 1 5 と、ハードディスクコントローラ 9 (HDC) と、サーボ制御回路 1 0 と、マイクロプロセッサ 1 1 (MPU) と、ROM 1 2 と、RAM 1 3 等からなるパッケージ基板

14 (PCB) で構成される。

【0004】

リード・ライトチャネル8はデータ記録を行うライトチャネルと、データ再生を行うリードチャネルで構成される。リードチャネルの信号処理技術はPRML (Partial Response Maximum Likelihood) 方式である。PRMLによる再生データには、数ビット程度の短い誤りが単発で発生することが知られている。特許文献1記載の従来技術では、このような単発の誤り(1事象誤り)を訂正できるようにリード・ライトチャネル8とHDC9の間に巡回符号を構成する1事象CRCC訂正回路15を与えるものである。誤り訂正可能な巡回符号をCRCC (Cyclic Redundancy Check Code) と呼び、CRCCを用いて誤りを訂正する方式をCRCC訂正と呼ぶことにする。1事象CRCC訂正回路15はCRCCの符号化と1事象の誤り訂正を行う。

【0005】

一方、PRMLによる再生データの復調過程で得られる信頼度情報を用いてCRCCによる誤り訂正の能力向上を図った技術として特許文献2に記載された技術がある。これは再生データの信頼度がある閾値よりも低い場合に消失誤りが発生したと判断してその位置に消失フラグを立て、消失フラグに基づいて再生データを軟判定的に仮訂正した系列に対してCRCC訂正を行うことにより、2事象以上の誤りを訂正するものである。

【0006】

【特許文献1】

特開2000-57709号公報(第3-4頁、図1、図5)

【特許文献2】

特開2000-134114号公報(第6-9頁、図1、図4、図5)

【0007】

【発明が解決しようとする課題】

信頼度情報に基づく消失フラグは判定閾値の設定に対して敏感であり、閾値を上げすぎると消失フラグが立たなくなり、また下げすぎると消失フラグが多く立ちすぎる。このため、ビット単位で正確な消失フラグを安定して得ることは実用

上困難である。また、CRC訂正を実施する際に、仮訂正されたデータ系列毎に訂正処理回路が必要になるため、回路規模の増大が避けられない。

【0008】

本発明の目的は、消失フラグの不正確さを許容しながら、従来技術に比べて少ない回路規模で2事象誤りに対するCRC訂正を実現する誤り訂正方法と回路を提供することである。

【0009】

本発明の他の目的は、上記誤り訂正回路を搭載した信頼性の高い情報記録再生装置を提供することである。

【0010】

【課題を解決するための手段】

上記目的を達成するために本発明では、下記的手段を用いることにより、2事象誤りを訂正することが可能なCRC訂正を実現する。

第1に、2事象誤りとして発生頻度の高いものを訂正対象とし、上記限定された誤り事象が再生データの任意のビット位置に発生した時のCRCデータを巡回置換によって順次的に算出し、これを再生データのCRCデータに排他的加算することにより1箇所目の1事象誤りを仮想的に仮訂正し、さらに仮訂正した後のCRCデータを算出することにより2箇所目の1事象誤りを検出し、仮訂正した後の1箇所目の1事象誤りと2箇所目の1事象誤りを訂正する。

【0011】

第2に、信頼度情報に基づいて誤りの発生している可能性の高いビット範囲を特定し、この範囲に対して仮想的に仮訂正した後のCRCデータに基づいて2事象誤りを並列的にCRC訂正する。

【0012】

【発明の実施の形態】

本発明を磁気ディスク装置の信号処理に適用した第1の実施例について図1を用いて説明する。磁気ディスク装置1(HDD)は、磁気ディスク2と、磁気ディスク2を装着し回転するスピンドルモータ6と、磁気ヘッド3と、磁気ヘッド3を支持し磁気ディスク2の任意の半径位置に位置決めするキャリッジ4と、キャリッ

ジ4に取り付けられたR/W-IC5等からなるヘッド・ディスクアセンブリ7 (HDA) と、リード・ライトチャネル8と、1事象CRCC訂正回路15と、2事象CRCC訂正回路15と、ハードディスクコントローラ9 (HDC) と、サーボ制御回路10と、マイクロプロセッサ11 (MPU) と、ROM12と、RAM13等からなるパッケージ基板14 (PCB) で構成される。

【0013】

リード・ライトチャネル8はデータ記録を行うライトチャネル8aとデータ再生を行うリードチャネル8bで構成される。リードチャネル8bの信号処理技術としては、PRML (2,1,-1,-1,-1) を採用する。磁気記録方式は面内記録方式とし、線記録密度は規格化線密度で2.75とする。

【0014】

HDC9は、1事象誤りに対するCRCC訂正回路15に記録データを供給し、記録データはこの中でCRCCの符号化が実行された後、ライトチャネル8a、R/W-IC5、磁気ヘッド3を通して磁気ディスク2に記録される。

【0015】

再生信号は磁気ヘッド3、R/W-IC5を通して、リードチャネル8bでデータ復調されて再生データとなる。再生データは1事象CRCC訂正回路15に供給され、1事象誤りが訂正される。1事象誤りとして訂正できなかった誤りについては、2事象CRCC訂正回路16に供給されて、2事象誤りが訂正される。1事象誤りと2事象誤りがそれぞれ訂正された再生データがHDC9に送られる。

【0016】

HDC9は訂正後の再生データを計算機などの上位装置に転送する。MPU11はHDD1全体の制御を司る。サーボ制御回路10はMPU11の制御の下にスピンドルモータ6の回転制御や磁気ヘッド3のポジショニング制御を行う。ROM12はMPU11やHDC9のプログラムを格納し、RAM13は記録・再生データのバッファである。

【0017】

CRCC符号化のために、図3に示す線形帰還シフトレジスタLFSR (Linear Feedback Shift Register) 31を用いて生成多項式による割算を実施する。

生成多項式は15次の原始多項式の中から、係数表記で1111000111100001を用いる。LFSR31はこの生成多項式の係数ビット'1'に対応した位置のレジスタが排他的加算回路によって結線されている。プリセット端子35(PS)を制御して、プリセットデータ34として'000000000000000' (以後、ゼロと表記)をプリセットした後、データ32をMSB側のIN端子から入力すると、全てのデータが入力した時点で、各レジスタに割算の結果が現れる。これをOUT端子から出力すると、15ビットのCRCデータ33が得られる。入力データにCRCデータを付加して符号化データを得る。本実施例ではCRCC符号化された記録データの長さは100ビットとする。

【0018】

次に、CRCC訂正回路15及び16によって誤りを訂正する具体的な処理について図4を用いて説明する。図4では説明の都合上、1事象CRCC訂正回路15及び2事象CRCC訂正回路16をまとめて記載している。また、本実施例で訂正する1事象誤りとしては、3ビット連続誤りと5ビット連続誤りの2種類とする。この根拠は、白色雑音が支配的な磁気記録チャネルについて誤り事象の発生分布をシミュレーションによって調査した結果、全体のおよそ95%が3ビット連続誤り、1%が5ビット連続誤りで占められていたからである。同じ理由により、2事象誤りの訂正では、発生頻度の高い3ビット連続誤りが再生データ中に2箇所発生したものに限定して訂正を行う。また、本実施例では、再生データの長さが100ビットと短いため、誤り事象がその境界にまたがる頻度が比較的高い。このことを考慮して、3ビット連続及び5ビット連続誤りが境界で分断された誤り事象についてもパターンマッチングすることにより訂正する。

【0019】

SW1によりプリセットデータ(PS-D)としてゼロがLFSR42のプリセット入力端子PSから各レジスタにプリセットされた後、リードチャネル8b内に設けられたPRML復調器41から出力された再生データ列がSW2によってLFSR42のIN端子に供給される。100ビットの再生データが入力した時点で、CRCデータ43が出力される。CRCデータ43がゼロの場合には誤りが発生していない。CRCデータ43がゼロでない場合には、再生データに誤

りが発生していることが分かるので、以下で説明する1事象誤り及び2事象誤りの検出を試みる。

【0020】

1事象誤りを検出するためには、CRCデータ43に対する巡回置換を繰り返すことによって、再生データに発生したCRCデータ43のLSBの位置まで移動させなければならない。本実施例で用いているCRCの周期は $2^{15}-1=32767$ ビットである。従って、100ビットに符号化された再生データに発生した誤り事象を検出するためには、 $32767-(100-15)=32682$ 回分の巡回置換を予め行わなければならない。この処理をリアルタイムで実施する方法に関しては、特許文献1に記載されている。先ず、1回の巡回置換の操作を15行15列の行列によって表現する。次に、この行列を32682回掛け合わせた行列(以下、ベータ行列)45を予め計算しておく。ベータ行列45の各要素は0か1であるため、これらをレジスタに格納することは容易である。ベータ行列45とCRCデータ43とを乗算器44より掛け合わせれば、32682回分の巡回置換を行った後のCRCデータが得られる。このCRCデータをSW1によってLFSR42にプリセットし、同時にSW3が閉じることにより誤り検出回路46に供給される。

【0021】

誤り検出回路46では、CRCデータが訂正対象である誤り事象と一致するか否かをチェックする。この時、例えば3ビット連続誤りと一致した場合には、誤り検出回路46は巡回置換0回で3ビット連続誤りを検出したことを記憶する。また、一致していない場合には、SW2を切り替えてデータ'0'をLFSR42のIN端子に入力して巡回置換し、得られたCRCデータを誤り検出回路46に供給して、パターンマッチングを繰り返す。このようにしてCRCデータ43が訂正対象である誤り事象と一致するまでに要した巡回置換の回数とその誤り事象とを記憶する。尚、巡回置換を100回行っても一致することがなかった場合には訂正可能な1事象誤りは発生していないことになる。

【0022】

次に、2事象誤りの検出には、1箇所目の1事象誤りの仮訂正と2箇所目の1事象誤り検出の2つの処理を並行的に行う。仮訂正処理では、3ビット連続誤りが

再生データの任意の位置に発生した時のCRCデータを全て計算する。今、3ビット連続誤りが再生データのLSBに存在し、それ以外はすべてゼロであるデータ系列を想定する。これを生成多項式で除算しベータ行列45を乗算したCRCデータを予め計算しておく('p₁₄p₁₃...p₁p₀'と表記)。これをLFSR49にプリセットすると、プリセットされたCRCデータ'p₁₄p₁₃...p₁p₀'は多段レジスタ50に供給される。その後、LFSR49のIN端子からデータ'0'を入力し、巡回置換を1回行う。LFSR49のOUT端子から新しいCRCデータがレジスタ50に供給されるとともに、レジスタ50のCRCデータがレジスタ51に移動する。このような動作を繰り返した結果、最初のCRCデータ'p₁₄p₁₃...p₁p₀'がレジスタ52にまで移動し、最終的にレジスタ50からレジスタ52に97個のCRCデータが格納される。

【0023】

容易に確認出来るように、これらのCRCデータは、3ビット誤りが再生データのMSBからLSBに発生した時のCRCデータになっている。これらを、再生データから求めたCRCデータに排他的加算すれば、再生データを仮想的に硬判定的に仮訂正した後のCRCデータが得られる。尚、これらのCRCデータは毎回、再生データのCRCデータを計算する際に計算しても良いし、レジスタに余裕があれば固定値として格納しておいても良い。

【0024】

再生データから計算したCRCデータ(ベータ行列を乗算した後)はSW4が閉じて、レジスタ53に格納される。排他的加算回路54、55、...、56によって、多段レジスタ50、51、...、52のCRCデータとレジスタ53のCRCデータとが排他的加算されて各々LFSR57、58、...、59にプリセットされる。

【0025】

同時に、LFSR57、58、...、59のOUT端子から各々のCRCデータが誤り検出回路46に送られる。1事象誤りの検出と同じ手順で、LFSR57、58、...、59のIN端子にデータ'0'が入力され巡回置換が繰り返される。

【0026】

LFSR 57、58、…、59の何れかのCRCデータに対して3ビット連続誤りが最初に検出された場合、誤り訂正回路46は、検出に要した巡回置換の回数と仮訂正した誤りの位置を記憶する。本実施例では、誤り事象を3ビット連続誤りに限定しているので記憶する必要はない。仮訂正した誤りの位置は、どのLFSRからのCRCデータに関して検出できたかによって特定できる。例えば、それがLFSR 58からのCRCデータであれば、多段レジスタ50、51、…、52までさかのぼることによって、MSB (Most Significant Bit) からLSB (Least Significant Bit) 側に1ビットシフトした位置であることが分かる。

【0027】

次に、検出された1事象及び2事象の誤りの訂正の手順に関して説明する。巡回置換の処理と並行して、再生データが誤り訂正回路48に順次的に入力されている。誤り訂正回路48は再生データ長に相当した個数のシフトレジスタと排他的加算回路が連結されて構成され、各々の排他的加算回路には誤り検出回路46からの誤り訂正信号47が結線されている。誤りを訂正する時以外は、誤り訂正信号47はデータ'0'であり、誤り訂正回路48は単なるシフトレジスタとして動作する。訂正可能な誤りが検出された場合には、誤り訂正回路48に100ビットの再生データが全て格納されるのを待って、記憶しておいた巡回置換の回数とその誤り事象に基づいて、誤り訂正信号47にデータ'1'を出力する。この結果、誤り訂正回路48の排他的加算回路により、検出された1事象誤り及び2事象誤りのビットが反転されて訂正が完了する。

【0028】

ところで、上記訂正処理においては、誤検出により1事象誤りと2事象誤りが同時に検出されることがある。この場合、CRCデータに基づいて誤りを検出する限り、誤りが1事象誤りなのか2事象誤りなのかは特定できない。このような場合には、誤り検出回路46はこれらの検出結果を破棄して、誤検出に伴う誤訂正を防止する。

【0029】

以上説明してきた第1の実施例による誤り訂正の性能評価をシミュレーション

によって実施した結果を図5に示す。横軸は相対的な信号対雑音比SNR(dB)、縦軸はビット誤り率Log(BER)である。誤り訂正前のビット誤り率が 10^{-1} となるSNRを0dBとした。(A)は誤り訂正前のビット誤り率のSNR特性、(B)は1事象誤り訂正後のビット誤り率のSNR特性である。これに対して、(C)は1事象及び2事象誤りを訂正した後のビット誤り率のSNR特性である。1事象誤りのみを訂正した(B)の場合に比べ、ビット誤り率は0.5桁程度低減していることが分かる。

【0030】

本実施例では、線形帰還シフトレジスタを用いてCRCデータの演算と巡回置換処理を行う場合について説明した。高速転送に対応するには、例えば、受信データが8ビットパラレルデータで送受信されるときは、これを並列的に処理すればよい。線形帰還シフトレジスタ回路を論理演算回路に展開すれば、並列処理ができる。

【0031】

本実施例で用いたベータ行列は1回の巡回置換の操作を基に構成される。8回までの巡回置換操作を表現した8種類のベータ行列を用いて、8ビットパラレルデータに対する巡回置換操作を、論理演算回路で並列的に実施できる。

【0032】

また、受信データとして、MSBビットデータに対するCRCデータを予め計算しておけば、巡回置換の逆操作によりLSBまでのビットデータに対するCRCデータを逐次演算することができる。これにより8回の逆巡回置換操作を表現するベータ行列を用いて、MSBから8ビット分のデータに対するCRCを初期値として、LSBまでの全てのビットデータに対するCRCを並列的に逐次演算することができる。

【0033】

これらのCRCデータを受信データが「1」のときにだけ排他的に加算することにより、線形帰還シフトレジスタと同じCRCデータが得られる。なお、1回の逆巡回置換操作を表現するベータ行列は、1回の巡回置換操作を表現するベータ行列と、互いに逆行列の関係にある。

【0034】

次に本発明を磁気ディスク装置の信号処理に適用した第2の実施例について図1及び図4を用いて説明する。第2の実施例では、符号化された記録データの長さを561ビットとする。符号化効率は第1の実施例に比べて5倍以上改善する。

【0035】

図1に示すように、1事象CRC訂正処理回路15により1事象の誤りを訂正する。これについては第1の実施例と同じなので説明は省略する。1事象誤りとして訂正できなかった誤りについては、2事象CRC訂正回路16により訂正する。このとき、信頼度情報17を参照して、仮訂正処理を行う範囲を限定する。

【0036】

信頼度情報を用いて仮訂正処理の範囲を限定する方法に関して図4を用いて説明する。信頼度情報を得る具体的な手段に関しては、特許文献2に詳細に述べられているのでここでは説明を省略する。仮訂正の対象誤りである3ビット連続誤りが発生した可能性の高いビット位置が得られており、これが図1の信頼度情報17として2事象誤りのCRC訂正回路16に供給されているものとする。

【0037】

信頼度情報17で指定されたビット位置 m とその前後8ビットを併せて17個のビット位置の何れかに3ビット連続誤りが発生したものと想定して、各々のCRCデータを以下のようにして計算する。図4の多段レジスタ50、51、…、52の個数を17個用意して、プリセット値 $P_{14}P_{13}\cdots P_1P_0$ からCRCデータの計算を開始する。ビット位置 $(m-8)$ までの計算が完了した段階で、LFSR 49の出力を停止すると、上記17個のレジスタに所望のCRCデータが格納されている。

【0038】

また、複数のビット位置が候補とされている場合には、誤り検出回路46で検出される1箇所を除いて、仮訂正範囲を指定すれば良い。例えば、3箇所まで指定する場合には51個のレジスタを用意する。指定された範囲のビット位置でLFSR 49の出力をONにし、それ以外はOFFに制御することにより、所望のCRCデータだけを上記51個のレジスタに格納することができる。

【0039】

1事象誤り及び2事象誤りの検出から訂正にいたる処理については、第1の実施例と同じなので説明は省略する。

【0040】

以上説明してきた第2の実施例による誤り訂正の性能評価をシミュレーションによって実施した結果を図6に示す。横軸は相対的なSNR(dB)、縦軸はビット誤り率である。誤り訂正前のビット誤り率が 10^{-1} となるSNRを0dBとした。(A)は誤り訂正前のビット誤り率のSNR特性、(B)は1事象誤り訂正後のビット誤り率のSNR特性である。これに対して、(C)は1事象及び2事象誤りを訂正した後のビット誤り率のSNR特性である。1事象誤りのみを訂正した(B)の場合に比べ、ビット誤り率は0.5桁程度低減していることが分かる。尚、シミュレーションでは仮訂正範囲を ± 8 ビットとし、信頼度情報17により得られる仮訂正位置が常に ± 4 ビットだけオフセットしているという最悪の状況を想定した。このような状況下でも、本発明による2事象誤り訂正によれば、1事象誤りのみの訂正に比べてビット誤り率を低減する効果がある。

【0041】

これまでに述べた第1、第2の実施例では、白色雑音が支配的な磁気記録チャネルを例にして説明した。しかし、本発明は白色雑音に限定されるものではなく、その他の雑音に対しても適用可能である。その一例として、磁化遷移点の位置がランダムに変位することに起因するポジションジッタ性雑音が支配的な場合、95%が1ビット連続誤り、3%が2ビット連続誤りであることから、1ビット連続及び2ビット連続の1事象誤りと、1ビット連続の2事象誤りをそれぞれ訂正対象とすれば良い。

【0042】

更に、現実の磁気記録チャネルにおいては、白色雑音とポジションジッタ性雑音が様々な割合で混じったものとなる。このような雑音形態に対して本発明を適用する場合には、1ビット、2ビット、3ビット、5ビット連続誤りの各誤り事象の中から、最適な誤り事象を選択する学習機能を設けることが望ましい。この学習機能を実現するためには、1事象誤り訂正のみを実行させる処理モードを用意

し、この処理モードで実際に訂正された誤り事象の発生頻度を求め、その上位から1事象誤り及び2事象誤りの訂正対象を選択すれば良い。

【0043】

また、3事象以上の誤りに関しては、LFSR49により生成した1事象誤りについてのCRCデータを全て組み合わせて仮訂正後のCRCデータを得ることが可能である。このCRCデータから誤り検出回路46により検出を行い、誤り訂正回路48で訂正することは、第1、第2の実施例と同じ方法で実施可能である。

【0044】

【発明の効果】

以上の説明のとおり本発明によれば、従来の1事象誤りに対するCRC訂正方式に対して、硬判定的な仮訂正処理を付加することにより、2事象誤り訂正を硬判定的に行うことが可能になる。

【図面の簡単な説明】

【図1】

本発明の実施例による磁気ディスク装置の構成図である。

【図2】

巡回符号による符号化の方法を説明する図である。

【図3】

線形帰還シフトレジスタ(LFSR)の構成を示す構成図である。

【図4】

本発明の実施例による1事象誤り及び2事象誤りを訂正する誤り訂正回路を示す構成図である。

【図5】

本発明の第1の実施例による効果を説明する図である。

【図6】

本発明の第2の実施例による効果を説明する図である。

【図7】

従来技術による磁気ディスク装置の構成を示す構成図である。

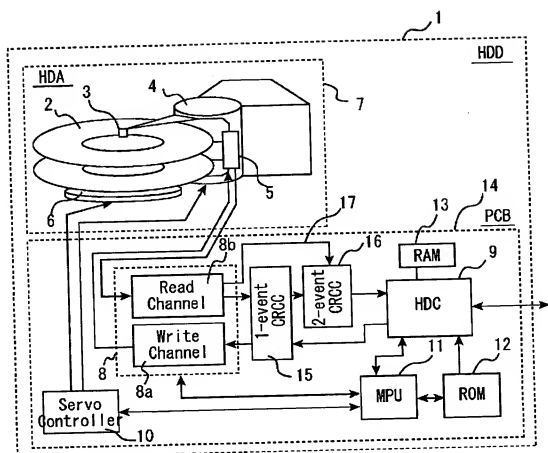
【符号の説明】

- 1…磁気ディスク装置 2…磁気ディスク 3…磁気ヘッド 4…キャリッジ
- 5…R/W-IC 6…スピンドルモータ 7…ヘッド・ディスクアッセンブリ
- 8…リード・ライトチャネル 9…ハードディスクコントローラ
- 10…サーボ制御回路 11…マイクロプロセッサ 12…ROM 13…RAM
- 14…パッケージ基板 15…1事象CRCC訂正回路 16…2事象CRCC訂正回路
- 17…信頼度情報 21…記録データ列 22…割算回路 23,33,43…CRCデータ
- 24…符号化された記録データ列
- 31,42,49,57,58,59…線形帰還シフトレジスタ 32…入力データ
- 34…プリセットデータ 41…PRML復調器 44…乗算器 45…ベータ行列
- 46…誤り検出回路 47…誤り訂正信号 48…誤り訂正回路
- 50,51,52…多段レジスタ 53…レジスタ 54,55,56…排他的加算回路

【書類名】 図面

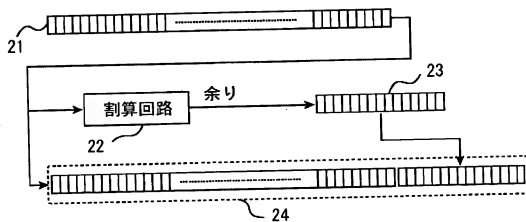
【図1】

図 1



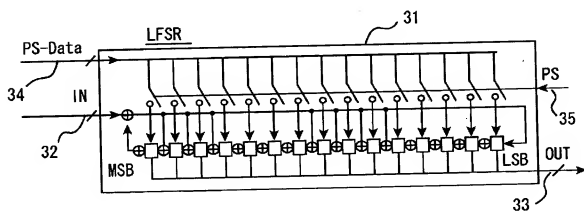
【図 2】

図 2



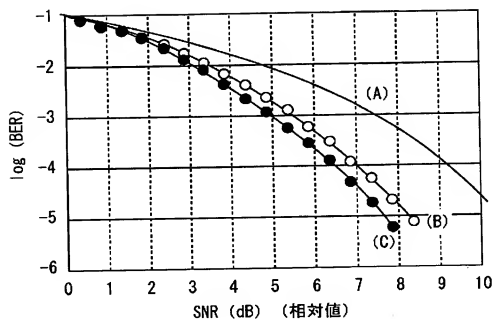
【図 3】

図 3



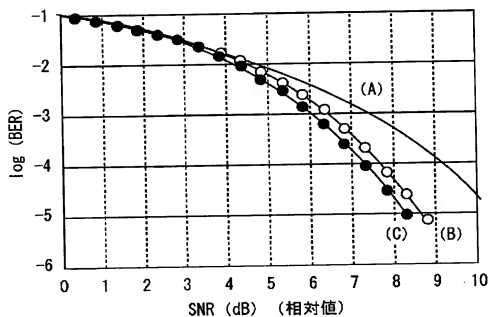
【図5】

図 5



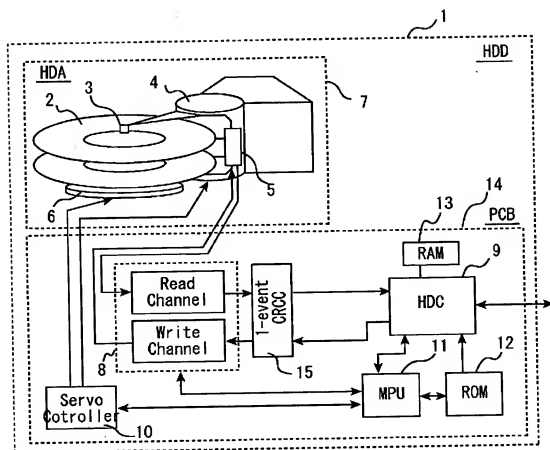
【図6】

図 6



【図 7】

図 7



【書類名】 要約書

【要約】

【課題】

消失フラグの不正確さを許容しながら、従来技術に比べて少ない回路規模で2事象誤りに対するCRC訂正処理を実現する。

【解決手段】

2事象誤りとして発生頻度の高いものを訂正対象とし、限定された誤り事象が再生データの任意のビット位置に発生した時のCRCデータを巡回置換によって順次的に算出し、これを再生データのCRCデータに排他的加算することにより1箇所目の1事象誤りを仮想的に仮訂正し、さらに仮訂正した後のCRCデータを算出することにより2箇所目の1事象誤りを検出し、仮訂正した後の1箇所目の1事象誤りと2箇所目の1事象誤りを訂正する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所